

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02203074      \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.:      62-119974    [JP 62119974    A]

PUBLISHED:      June 01, 1987 (19870601)

INVENTOR(s):    KUBOTA YASUSHI

                 IGUCHI KATSUJI

                 KOBAYASHI MASAYOSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      60-261738    [JP 85261738]

FILED:           November 19, 1985 (19851119)

INTL CLASS:      [4] H01L-029/78; H01L-021/268; H01L-027/12

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL:        Section: E, Section No. 553, Vol. 11, No. 338, Pg. 140,  
November 05, 1987 (19871105)

#### ABSTRACT

PURPOSE: To obtain the same effect as a high temperature annealing without deforming a glass substrate when an active layer is formed on the glass substrate and an MIS FET is formed on it by applying a laser beam to the whole region of or a part of a transistor region after a gate insulating film is formed.

CONSTITUTION: After a polycrystalline Si thin film 12, which is to be an active layer, is formed on the cleaned surface of a Pyrex glass substrate 11, an SiO(sub 2) film 13 which is to be a gate insulating film is formed over the whole surface including the film 12 and a laser beam is applied. Then (sup 11)B(sup +) ions are implanted into the thin film 12 through the film 13 and an annealing is carried out in an N(sub 2) atmosphere at 500 deg.C for one hour and B ions are activated and the specific resistivity of the thin film 12 is controlled to be a predetermined value. Then a polycrystalline Si gate electrode 14 and an AlSi gate electrode wiring 15 with predetermined dimensions are formed on the film 13 in lamination. After that, the whole surface including the gate electrode 14 and the gate electrode wiring 15 is covered with an SiO(sub 2) film 16 and (sup 11)B(sup +) ions are implanted again and a treatment is carried out in an H(sub 2) plasma for one hour and the whole surface is covered with an SiO(sub 2) film 17 and apertures 18 and 19 reaching the thin film 12 are drilled and source and drain electrodes 20 and 21 are buried in them.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
007192531

WPI Acc No: 1987-189540/198727

**Mfg. thin layer transistor - by forming MIS type FET on active layer  
formed on insulating substrate surface NoAbstract Dwg 1/3**

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b><u>JP 62119974</u></b>	A	19870601	JP 85261738	A	19851119	198727 B

Priority Applications (No Type Date): JP 85261738 A 19851119

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 62119974	A	8		

Title Terms: MANUFACTURE; THIN; LAYER; TRANSISTOR; FORMING; MIS; TYPE;  
FET; ACTIVE; LAYER; FORMING; INSULATE; SUBSTRATE; SURFACE; NOABSTRACT

Index Terms/Additional Words: METAL; INSULATE; SEMICONDUCTOR; FIELD; EFFECT  
; TRANSISTOR

Derwent Class: L03; U12; U14

International Patent Class (Additional): H01L-021/26; H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報(A)

昭62-119974

⑪ Int. Cl.

H 01 L 29/78  
21/268  
27/12

識別記号

庁内整理番号

8422-5F  
7738-5F  
7514-5F

⑬ 公開 昭和62年(1987)6月1日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭60-261738

⑯ 出 願 昭60(1985)11月19日

⑰ 発 明 者	久 保 田 靖	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 発 明 者	井 口 勝 次	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 発 明 者	木 場 正 義	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑰ 代 理 人	弁理士 杉山 毅 至	外1名	

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. 少なくとも表面が絶縁物質である基板の一主面上に形成された活性層にMIS型電界効果トランジスタを形成する薄膜トランジスタの製造方法において、

少なくとも上記MIS型電界効果トランジスタのゲート絶縁膜形成後に、トランジスタ領域の全部、又は、一部にレーザー光を照射する工程を含んでなることを特徴とする薄膜トランジスタの製造方法。

2. 前記活性層が多結晶シリコンであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 前記ゲート絶縁膜が、常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法、スパッタ蒸着法のいずれかの方法によって形成されてなることを特徴とする特許請求の範囲第1

項記載の薄膜トランジスタの製造方法。

4. 前記ゲート絶縁膜に照射するレーザー光が、パルス状の紫外光レーザーである、ArF、KrF、XeC<sub>2</sub>、XeFエキシマ・レーザーのいずれかによるものであることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は、大面積のアクティブ・マトリックス液晶ディスプレイ等に応用される薄膜トランジスタの製造方法に関するものであり、特に、ガラスの<sub>下</sub>の亜点温度以上の低温プロセスで形成される薄膜トランジスタの高性能化を図るようにしたものである。

〈従来の技術〉

近年、液晶ディスプレイの大面積化が進んでおり、その駆動方式も従来の時分割方式からアクティブ・マトリックス方式に移りつつある。この方式では数万を超える画素を有する液晶ディスプレイが可能であるが、各画素毎にスイッチング・ト

ランジスタを形成する必要がある。一方、表示能力の高いフィスティブ・ネマティック・モードが使えらること、及びカラー化するための透過型が可能なことなどから、ディスプレイ基板には、ガラスや石英などの透明基板が使われている。特に、大面積化を進める際には、安価なガラス基板が好ましく、アクティブ・マトリックス方式の液晶ディスプレイ等においては、このガラス基板上に薄膜トランジスタを形成することが必要となる。

薄膜トランジスタの活性層としては、通常、アモルファス・シリコンや多結晶シリコンが用いられるが、駆動回路までも薄膜トランジスタで形成しようとする場合には、動作速度の大きい多結晶シリコンが有望となる。

多結晶シリコン薄膜トランジスタのゲート絶縁膜には、従来、1000℃前後での熱酸化膜が使われており、従って、基板材料には、耐熱性に優れた熔融石英が使われている。しかし、大面積化に伴い、ガラス基板を使用するにあたっては、ガラスの歪点温度が550～600℃であるために

発が重要となる。

本発明は上記の点に鑑みて創案されたものであり、安価で大面積化が容易なガラス基板が利用できる低温プロセスによる高性能薄膜トランジスタの形成方法を提供することを目的としたものであり、特に、多結晶シリコンを活性層とするMIS型電界効果トランジスタにおいて、良好な特性を有する界面を形成する方法を提供することを目的としている。

〈問題点を解決するための手段〉

上記の目的を達成するため、本発明は、少なくとも表面が絶縁物質である基板の一主面上に形成された活性層にMIS型電界効果トランジスタを形成する薄膜トランジスタの製造方法において、少なくとも上記のMIS型電界効果トランジスタのゲート絶縁膜形成後に、トランジスタ領域の全部、または一部にレーザ光を照射する工程を含むように構成している。

〈作 用〉

本発明は、活性層である例えば多結晶シリコン

従来の熱酸化法は使えない。そこで、より低温での絶縁膜形成法であるCVD法、プラズマCVD法、光CVD法、プラズマ陽極酸化法などを用いることになる。

〈発明が解決しようとする問題点〉

しかし、現状では、上記した方法により形成した絶縁膜、及びその界面の特性は熱酸化膜に比べて非常に劣っており、動作特性の優れたトランジスタの形成が困難となっている。

低温で形成したこれらの絶縁膜に熱処理を施すことによって、特性の改善が期待される。実際に、900～1000℃の窒素雰囲気中アニールによって、熱酸化膜に近い特性のものが得られている。

しかし、この熱処理は高温処理であるため、ガラス基板上での薄膜トランジスタ形成には使えない。また600℃以下の熱処理では、十分な特性の向上が得られない等の問題点がある。

従って、絶縁膜と活性層の界面近傍のみに局所的にエネルギーを与え、かつ、下地ガラス基板の過熱を回避できるような、局所的な熱処理法の開

上に堆積した絶縁膜に、エキシマレーザ等のレーザ光を短時間照射し、下地ガラス基板等の絶縁基板を過熱変形させることなく、活性層(多結晶シリコン)と絶縁膜との界面の特性を向上させるようにしたものである。

ガラス基板上の多結晶シリコン薄膜の上に堆積した絶縁膜にエキシマレーザを用いてパルス状の紫外光を照射すると、この紫外光の大部分は絶縁膜を透過し、多結晶シリコン層に吸収される。これは、レーザ光の波長(193(ArF)～351(XeF)nm)に対する吸収係数が、シリコン酸化物などでは小さく、シリコンでは大きいためである。また、波長が短い紫外光を用いているため、レーザ光は多結晶シリコン内の深くまでは侵入せず、界面近傍のみを加熱することになる。また、界面近傍からの熱伝導によって、多結晶シリコン活性層及び絶縁膜もアニールされることになる。

従って、短時間のエキシマ・レーザ・アニールは、多結晶シリコンと絶縁膜の界面に高温アニールと同等な効果を与えて界面特性を向上させると

ともに、多結晶シリコン活性層及び絶縁膜の膜質も向上させ、かつ、下地ガラス基板への熱的影響は比較的小さく抑えられることになり、大変有効な熱処理法である。

#### 〈実施例〉

本発明は、低温プロセスにおいて、特性の良好な薄膜トランジスタの製造方法を提供することを目的としているが、本発明の効果を明確に示すために、まず、本発明に係るレーザ光照射処理をしてMOSキャパシタを作製し、評価を行なった。

第1図(a)～(e)はそれぞれ本発明に係るレーザ光照射処理をしてMOSキャパシタを作製する工程を示す素子断面図である。

まず、有機洗浄及び酸洗浄したバイレックス・ガラス基板1上に、真空蒸着法により、多結晶シリコン薄膜2を蒸着した。多結晶シリコン薄膜の形成は、基板温度500℃、真空度 $3 \times 10^{-5}$  Pa、成膜速度 $1 \text{ \AA}/\text{sec}$ の条件で行ない、膜厚は1000 Åであった。この多結晶シリコン薄膜2上に、イオン注入時の汚染防止用に膜厚2500 Åのシリ

コン酸化膜3を常圧CVD法で堆積した後、ボロン・イオン( $^{11}\text{B}^+$ )を100 keVで $1 \times 10^{16}$ 個/ $\text{cm}^2$ 注入し、ボロン活性化のために、窒素雰囲気中500℃で1時間アニールした(第1図(a)参照)。これによって、多結晶シリコン層2は、固定に支障のない抵抗率( $\sim 10 \Omega\text{cm}$ )となった。次に、第1図(b)に示すように酸化シリコン膜3を除去した後、多結晶シリコン層2を円形にパターニングした。

次いで、第1図(c)に示すように常圧CVD法により、420℃でシリコン酸化膜4を1500 Å堆積し、 $3 \times 10^{-5}$  Paの真空中、XeClエキシマレーザでパルス状の紫外光(波長308 nm、パルス幅18 nsec、出力200 mJ/ $\text{cm}^2$ )を200パルス照射した。

次いで、第1図(d)に示すように酸化膜4をリング状に除去し、その後スパッタ法でAlSiを5000 Å蒸着して第1図(e)に示すように円型電極(0.8 mmφ)5、ガードリング6、リング状電極7をパターン形成した。最後に、窒素雰囲気

中440℃で30分間熱処理を行ない、MOSキャパシタを完成した。

また、比較のために、酸化膜の後処理に関して、XeClエキシマ・レーザを照射していない試料、及びレーザ照射の代わりに窒素雰囲気中550℃及び950℃で1時間アニールした試料も作製した。ただし950℃のアニールを施した試料の基板はバイレックス・ガラスではなく、p型シリコン基板を乾燥窒素雰囲気中950℃で熱酸化(膜厚800 Å)したものを用いた。

以上のようにして作製したMOSキャパシタのC-V特性を測定し、固定電荷密度、界面単位密度を評価した。結果を以下の表に示す。

表

酸化膜後処理	固定電荷密度( $\text{cm}^{-2}$ )	界面単位密度( $\text{cm}^{-2}\text{eV}^{-1}$ )
エキシマ・レーザ照射	$9.5 \times 10^{10}$	$7.2 \times 10^{10}$
なし	$8.7 \times 10^{11}$	$7.4 \times 10^{11}$
550℃アニール	$3.7 \times 10^{11}$	$2.6 \times 10^{11}$
950℃アニール	$8.8 \times 10^{10}$	$7.0 \times 10^{10}$

上記の表からも明らかなように、エキシマ・レーザ照射によって、ガラス基板には変形などの悪影響は現われず、界面特性には、950℃アニールとほぼ同等の効果が得られた。これは、レーザ光のほとんどが、吸収係数の大きい多結晶シリコン層の界面付近で吸収されるため、界面近傍は950℃アニールと同程度まで局所的にアニールされるが、熱拡散によってガラス基板の温度上昇は比較的小さくなり、基板温度がその沸点以下に抑えられていることによる。ウェハ全体をアニールする通常の方法では、ガラスの沸点温度である550～600℃程度までしか加熱できないため、表に示されるように大幅な改善が得られないが、エキシマ・レーザによる短時間局所的アニールを利用すれば、低温プロセスでも、高温プロセスに匹敵する界面特性の改善が可能となる。

次に、本発明に基づく多結晶シリコン薄膜トランジスタの作製例について、第2図(a)～(f)を参照して述べる。

第2図(a)～(f)はそれぞれ本発明の一実施例

としての多結晶シリコン薄膜トランジスタの作製の各プロセスにおける素子断面を示す図である。

本発明を実施するに当たり、少なくとも表面が絶縁物質である基板としてバイレックス・ガラス基板11を用い、第2図(a)に示すように、まず、有機洗浄及び酸洗浄したバイレックス・ガラス基板11上に、前述の真空蒸着法により1000Åの多結晶シリコン薄膜12を蒸着し、活性層部をパターンニングして形成した。次いで、第2図(b)に示すように常圧CVD法により、420℃でゲート絶縁膜となるシリコン酸化膜13を1500Å堆積し、前述の条件で、XeClエキシマ・レーザを照射した。次に、第2図(c)に示すように前述の真空蒸着法により、多結晶シリコン14を500Å堆積し、続いてその上にスパッタ法によりAlSi膜15を5000Å堆積した後、フォトリソグラフィによりゲート電極を形成した。次に第2図(d)に示すように、イオン注入時の汚染防止用に常圧CVD法により、シリコン酸化膜16を500Å形成した後、ボロンイオン( $^{11}\text{B}^+$ )を

70 keVで $3 \times 10^{15}$ 個/cm<sup>2</sup>注入し、更に、圧力100 Paの水素プラズマ中400℃で1時間プラズマ処理を施した。前記シリコン酸化膜16の表面を200Åエッチングした後、層間絶縁膜となるシリコン酸化膜17を常圧CVD法で5000Å堆積し、更にボロン活性化のために窒素雰囲気中500℃で1時間アニールを行なった。次に、第2図(e)に示すように、ソース及びドレイン部のコンタクト・ホール18、19を開口し、スパッタ法でAlSiを5000Å堆積した後、第2図(f)に示すようにソース電極20及びドレイン電極21を形成した。最後に水素雰囲気中440℃で30分間アニールを行ない薄膜トランジスタを完成した。

また、上記実施例との比較のため、同時に、ゲート絶縁膜形成後のエキシマ・レーザ・アニールを施していない薄膜トランジスタも作製した。他のプロセスは上と同じである。

第3図は、これらの薄膜トランジスタのゲート電圧対ソース電流特性を示したものであり、Aは

ゲート絶縁膜形成後、エキシマ・レーザを照射したものであり、Bは未照射のものである。

なお、薄膜トランジスタのチャンネル長は4μm、チャンネル幅は6μmである。また、ソースに対するドレインのバイアス電圧は-0.8Vである。

この第3図より、短時間局所的エキシマ・レーザ・アニールによって、トランジスタ特性が向上していることが解る。

以上のように、このエキシマ・レーザ・アニールを多結晶シリコン薄膜トランジスタのプロセスに採用することにより、ガラス基板上での低温プロセスに於いても、特性の良好なトランジスタが形成可能となった。

なお、上記実施例では、ゲート絶縁膜として、常圧CVD法によるシリコン酸化膜を用いたが、本発明はこれに限らず、常圧CVD法、減圧CVD法、プラズマCVD法、光CVD法、スパッタ蒸着法などで形成されたシリコン化合物、シリコン窒化物、シリコン酸窒化物などを用いても良い。また、照射するレーザも、XeClエキシマ・レー

ザに限らず、ArF、KrF、XeFなどのエキシマレーザを使用しても良い。またレーザ照射は真空中で行なったが、酸素或いは水素雰囲気中での照射も同様の効果が得られる。

#### 〈発明の効果〉

以上のように、本発明によれば、ガラス基板等の表面が絶縁物質である基板上の薄膜トランジスタ形成に於いて、ゲート絶縁膜にエキシマ・レーザ等のレーザ光を照射することにより、ガラス基板等を変形させることなく、高温アニールと同等の効果を引き出すことができる。これにより、安価なガラス基板等を用いたアクティブ・マトリックス・パネルの製造が可能となり、大面積薄型ディスプレイなどへの応用が期待される。

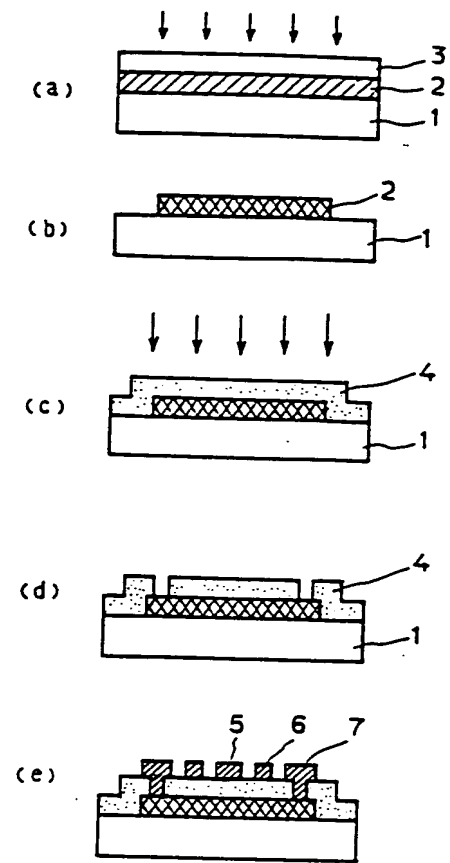
#### 4. 図面の簡単な説明

第1図(a)乃至(e)はそれぞれ本発明に係るレーザ光照射処理をしてMOSキャパシタを作製する工程を示す素子断面図、第2図(a)乃至(f)はそれぞれ本発明の一実施例としての多結晶シリコン薄膜トランジスタの作製の各プロセスにおける

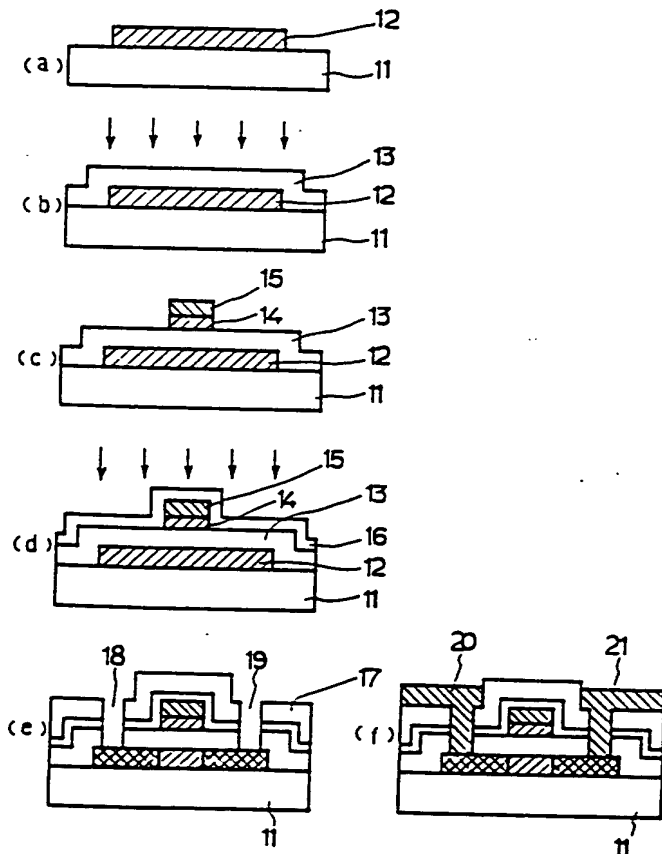
素子断面を示す図、第3図は作製した多結晶シリコン薄膜トランジスタの特性を示す図である。

1…パイレックス・ガラス基板、2…多結晶シリコン薄膜(活性層)、3…常圧CVDシリコン酸化膜(インプラ時汚染防止膜)、4…常圧CVDシリコン酸化膜(ゲート絶縁膜)、5…AlSi(円型電極)、6…AlSi(ガードリング)、7…AlSi(リング状電極)、11…パイレックス・ガラス基板、12…多結晶シリコン薄膜(活性層)、13…常圧CVDシリコン酸化膜(ゲート絶縁膜)、14…多結晶シリコン(ゲート電極)、15…AlSi(ゲート電極配線)、16…常圧CVDシリコン酸化膜(インプラ時汚染防止膜)、17…常圧CVDシリコン酸化膜(層間絶縁膜)、20…AlSi(ソース電極配線)、21…AlSi(ドレイン電極配線)。

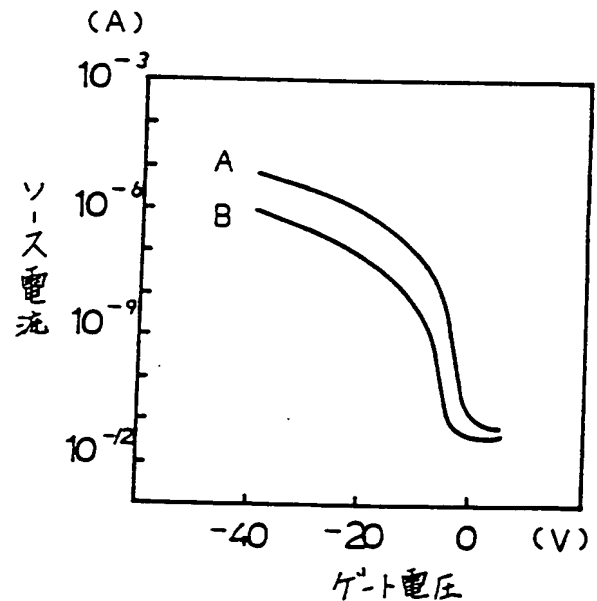
代理人 井理士 福士 愛彦(他2名)



第1図



第2図



第3図